

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-040677

(43)Date of publication of application : 08.02.2000

(51)Int.Cl. H01L 21/301
G06K 19/077
H01L 21/306

(21)Application number : 10-207669

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 23.07.1998

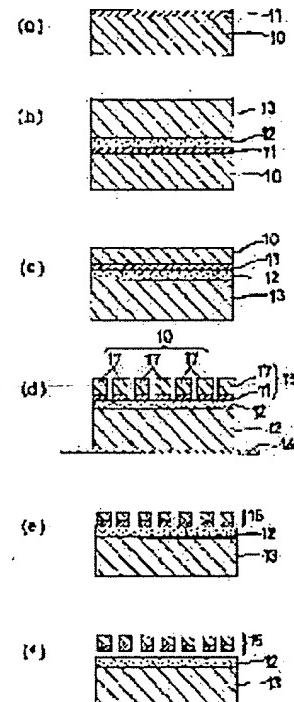
(72)Inventor : UNNO HIDEYUKI
HENMI MANABU
OFUJI SHINICHI
OGAWA SHIGEO
MAEDA MASAHIKO

(54) MANUFACTURE OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device with high reliability, by reducing or eliminating a flaw of a semiconductor element generated in a productive step, and prevent a failure or damage to be caused by the flaw.

SOLUTION: A plurality of IC circuits 11 are formed on a circuital face of a silicon wafer 10 (a). A supporting substrate 13 is bonded to the circuital face of the silicon wafer 10 with an adhesive 12 to cover the IC circuit 11 (b). The silicon wafer 10 is made thin to a give thickness from the rear side of the silicon wafer 10 (c). The silicon wafer 10 is divided from the rear face for each IC circuit 11 to form each semiconductor element 15 (d). A semiconductor substrate 17 constituting each semiconductor element 15 is etched (e). The rear face of the semiconductor substrate 17 is etched and made thinner. At the same time, the side face is etched and a flaw generated at the dividing time can be reduced or eliminated. Each semiconductor element 15 is removed from the supporting substrate 13 (f).



THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-40677

(P2000-40677A)

(43)公開日 平成12年2月8日(2000.2.8)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 01 L 21/301

H 01 L 21/78

S

G 06 K 19/077

G 06 K 19/00

K

H 01 L 21/306

H 01 L 21/306

C

審査請求 未請求 請求項の数3 O L (全5頁)

(21)出願番号

特願平10-207669

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(22)出願日

平成10年7月23日(1998.7.23)

(72)発明者 海野 秀之

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72)発明者 逸見 学

東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(74)代理人 100064621

弁理士 山川 政樹

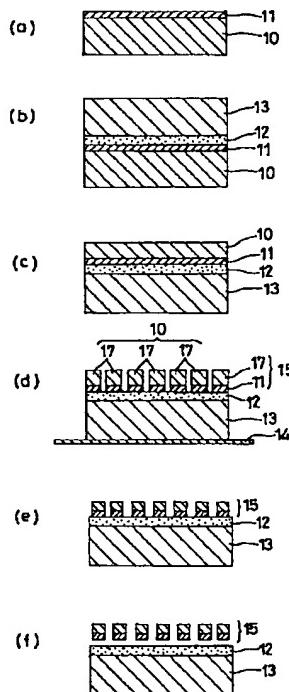
最終頁に続く

(54)【発明の名称】 半導体素子の製造方法

(57)【要約】

【課題】 製造工程において発生する傷を縮小または消滅させることにより、傷による半導体素子の故障、破損等を未然に防止することができ、信頼性の高い半導体素子を製造する。

【解決手段】 シリコンウエハ10の回路面に多数のIC回路11を形成する(a)。次に、シリコンウエハ10の回路面に支持基板13を接着剤12によって接着してIC回路11を覆う(b)。次に、シリコンウエハ10の裏面側からシリコンウエハ10を所定の厚さまで薄膜化する(c)。次に、シリコンウエハ10を裏面側から各IC回路11毎に分割して半導体素子15を形成する(d)。次に、各半導体素子15を構成する半導体基板17をエッチングする(e)。これによって、半導体基板17の裏面がエッチングされ、さらに薄膜化する。同時に側面もエッチングされ、分割時に生じた傷を減少または消滅させる。次いで、支持基板13から各半導体素子15を剥離する(f)。



【特許請求の範囲】

【請求項1】シリコンウエハ上に多数のIC回路を形成する工程と、前記シリコンウエハの回路面に支持基板を接着剤によって接着する工程と、前記支持基板が接着されたシリコンウエハの裏面側からシリコンウエハを薄膜化する工程と、前記シリコンウエハを裏面側から各IC回路毎に分割して半導体素子を形成する工程と、前記半導体素子の半導体基板をエッチングする工程と、前記支持基板から各半導体素子を剥離する工程とを備えたことを特徴とする半導体素子の製造方法。

【請求項2】シリコンウエハ上に多数のIC回路を形成する工程と、前記シリコンウエハの回路面に支持基板を接着剤によって接着する工程と、前記支持基板が接着されたシリコンウエハの裏面側からシリコンウエハを薄膜化する工程と、前記シリコンウエハの裏面に各IC回路毎に分割するための溝を形成する工程と、前記シリコンウエハをエッチングにより各IC回路毎に分割して半導体素子を形成する工程と、前記支持基板から各半導体素子を剥離する工程とを備えたことを特徴とする半導体素子の製造方法。

【請求項3】請求項1または2記載の半導体素子の製造方法において、エッチング液が等方性エッチング液であることを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子の製造方法に関し、特にICカード用半導体素子の製造方法に関するものである。

【0002】

【従来の技術】ICカードは、シリコン等の半導体基板の回路面にメモリ回路、演算回路等のIC回路が形成された半導体素子を搭載している。このようなICカードを製造するには、先ずシリコンウエハの回路面にIC回路を形成し、このシリコンウエハを各IC回路毎に分割して半導体素子とし、この半導体素子をパッケージに実装することによりICカードが完成する。

【0003】従来の半導体素子の形成方法を図2に示す。同図(a)において、先ずシリコンウエハ10の回路面に多数のIC回路11を形成する。次に同図(b)に示すようにシリコンウエハ10の回路面側に保護テープ16を貼着してIC回路11を覆う。次に、同図(c)に示すようにシリコンウエハ10を反転させて、その裏面を研削装置によって研削して所定の厚さまで薄膜化する。次に、保護テープ16を剥離した後、同図(d)に示すようにシリコンウエハ10の裏面にダイシングテープ14を貼着し、ダイシングソーによりシリコンウエハ10を各IC回路11毎に分割して半導体素子15を形成する。この半導体素子15は、IC回路11とシリコンウエハ10の分割片である半導体基板17と

で構成される。そして、各半導体素子15をダイシングテープ14から剥離することにより、半導体素子15の製造を完了する。

【0004】ICカード用の半導体素子15は、ICカード自体を薄くするために従来の厚さ(400μm程度)に較べて薄い素子厚が要求される。例えば、ICカード全体の厚さを磁気カード並みの0.25mm程度にしようとするとき、半導体素子15を50μm程度にまで薄くする必要がある。

【0005】しかしながら、上記した従来の製造方法では、ICカードで要求される厚さにまで仕上げることは、量産性、工程の安定性等の点で困難である。そこで、図3に示すように工程にいくつかの修正を加えて製造するようとしている。すなわち、先ず前記従来例と同様に、図3(a)に示すようにシリコンウエハ10の回路面に多数のIC回路11を形成する。次に、同図(b)に示すようにシリコンウエハ10の回路面に接着剤12または低融点ワックスを用いて前記従来例で用いた保護テープ16よりも剛性の大きい支持基板13を接着してIC回路11を覆う。この支持基板13は、シリコンウエハ10を薄膜化したとき、ハンドリング時の破損を防止するために設けられるもので、シリコンウエハ10を支持するうえで十分な剛性を有するテープ、ガラス板等が用いられる。

【0006】次に、同図(c)に示すようにシリコンウエハ10を所定の厚さまで薄膜化する。この薄膜化工程は、従来裏面側を研削装置によって研削することにより薄膜化していたのに対し、研削処理だけでなく研削処理の後に研磨処理かエッチング処理を行って薄膜化する場合もある。

【0007】次に、薄膜化したシリコンウエハ10から支持基板13および接着剤12を剥離し、かかる後、同図(d)に示すようにシリコンウエハ10の裏面にダイシングテープ14を貼着する。そして、同図(e)に示すようにダイシングソーを用いてシリコンウエハ10をIC回路11毎に分割して半導体素子15を形成する。そして、ダイシングテープ14から半導体素子15を剥離することにより半導体素子15の製造を完了する。

【0008】

【発明が解決しようとする課題】このようにICカード用の半導体素子15は、図3に示した製造方法によって製造することができる。しかしながら、このような製造方法によれば、従来の素子に較べてきわめて薄い半導体素子15を製造することができるが、その後の実装工程およびICカードの使用中に破損し易いという問題があった。

【0009】破損し易い要因の1つに、半導体素子15の傷を挙げることができる。この傷は、製造工程においてダイシングソーでシリコンウエハ10を各IC回路11毎に分割したとき、半導体基板17の側面に生じるもの

のである。この傷はシリコンウエハ10の結晶が削り取られてできる貝殻状の傷であったり、側面から基板内部に向かって伸びる線状のクラックであったりする。このような傷は、基板側面から数10μmにまで達することがある。半導体素子15が厚い場合は、この程度の傷は半導体基板17の厚さも厚いため大きな問題とならないが、半導体素子15自体の厚みが薄くなるにしたがって、半導体基板17も薄くしなければならぬので、ダイシング後のハンドリング時にこのような傷があると、この傷を核として半導体素子の割れが拡大したり、極端な場合には半導体素子が破損するなどの問題が発生する。傷の発生防止対策としては、ダイシングソーによる分割速度を下げることにより傷を小さくすることが可能である。しかし、傷自体の発生を防止することは不可能であるため、ICカードの製作において歩留りが低く、また半導体素子の信頼性を低下させるという問題があった。

【0010】本発明は上記した従来の問題を解決するためになされたもので、その目的とするところは、製造工程において発生する傷を縮小または消滅させることにより、傷による半導体素子の故障、破損等を未然に防止することができ、信頼性の高い半導体素子を製造し得るようとした半導体素子の製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため第1の発明は、シリコンウエハ上に多数のIC回路を形成する工程と、前記シリコンウエハの回路面に支持基板を接着剤によって接着する工程と、前記支持基板が接着されたシリコンウエハの裏面側からシリコンウエハを薄膜化する工程と、前記シリコンウエハを裏面側から各IC回路毎に分割して半導体素子を形成する工程と、前記半導体素子の半導体基板をエッチングする工程と、前記支持基板から各半導体素子を剥離する工程とを備えたことを特徴とする。このような製造方法においては、シリコンウエハを半導体素子毎に分割した後に半導体素子の半導体基板をエッチング処理しているので、分割時に半導体基板の側面に生じた傷を縮小または消滅させることができる。また、半導体基板の裏面もエッチングされるので薄膜化することができる。

【0012】第2の発明は、シリコンウエハ上に多数のIC回路を形成する工程と、前記シリコンウエハの回路面に支持基板を接着剤によって接着する工程と、前記支持基板が接着されたシリコンウエハの裏面側からシリコンウエハを薄膜化する工程と、前記シリコンウエハの裏面に各IC回路毎に分割するための溝を形成する工程と、前記シリコンウエハをエッチングにより各IC回路毎に分割して半導体素子を形成する工程と、前記支持基板から各半導体素子を剥離する工程とを備えたことを特徴とする。このような製造方法においては、エッチング処理によってシリコンウエハを各IC回路毎に分割する

ことで半導体素子を形成することができる。また、溝の形成によってできた傷を縮小または消滅させるとともに、素子を薄型化することができる。

【0013】第3の発明は、上記第1または第2の発明において、エッティング液が等方性エッティング液であることを特徴とする。このような製造方法においては、半導体基板に生じた傷を丸みを帯びた形状にすることでき、応力の集中を緩和することができる。

【0014】

【発明の実施の形態】以下、本発明を図面に示す実施の形態に基づいて詳細に説明する。図1(a)～(f)は本発明に係る半導体素子の製造方法を説明するための図である。なお、従来技術の欄で示した構成部材または同等のものについては、同一符号をもって示す。図1(a)に示すようにシリコンウエハ10の回路面に多数のIC回路11を周知の薄膜技術によって形成する。

【0015】次に、同図(b)に示すようにシリコンウエハ10の回路面に接着剤12または低融点ワックスを用いて支持基板13を接着する。支持基板13の材質は、石英、ガラス、セラミック材料、金属などで、シリコンウエハ10を薄膜化したとき、ウエハ自身が自重で破損したりしないようにシリコンウエハ10を支持し、補強するうえで十分な強度を有するものであればよい。また、本実施の形態においては、シリコンウエハ10と支持基板13を接着する接着剤12として、熱発泡性接着シートを用いている。

【0016】次に、図1(c)に示すようにシリコンウエハ10の裏面側を研削装置によって所定の厚さまで研削して薄膜化する。シリコンウエハ10の厚さは、IC回路11の形成時に6インチウエハであれば600μm程度、8インチウエハであれば700μm程度であるが、このシリコンウエハ10を研削装置で100～150μm程度まで薄膜化する。本実施の形態では、薄膜化に研削装置を用いたが、薄膜処理は研磨処理でもエッティング処理であってもよい。また、シリコンウエハ10の厚さは、半導体素子の最終仕上げ厚さよりも少なくとも20～30μm以上は厚いことが望ましい。

【0017】次に、図1(d)に示すように支持基板13の表面にダイシングテープ14を貼着し、シリコンウエハ10を裏面側から各IC回路11毎に分割して半導体素子15を形成する。このチップ状への分割はダイシングソーで行う。そのため、各半導体素子15を形成する半導体基板17の分割側の側面には、ダイシングソーによる切断跡が傷として残る。

【0018】ここで、本実施の形態においては、シリコンウエハ10を各IC回路15毎に完全に分割して半導体基板17としたが、完全に分割せずに厚さの途中まで分割しておき、後のエッティング工程で残りの部分をエッティングにより除去して完全に分割するようにしてもよい。

【0019】ダイシングソーによる通常の分割工程では、シリコンウエハ10の裏面側にダイシングテープ14を貼着し、回路面を上にしてその回路パターンを可視光で観察しながら分割位置を決定する。本実施の形態では、シリコンウエハ10の裏面側から分割するために、可視光では回路パターンを観察することができないが、赤外光ならばシリコンウエハ10の裏面側から表面側回路パターンを観察することができる。特に、図1(c)に示す薄膜化工程でシリコンウエハ10を薄膜化しているので、裏面側からでも位置合わせは可能である。

【0020】次に、図1(e)に示すようにダイシングテープ14を支持基板13から剥離した後、半導体素子15を支持基板13とともにふっ酸、硝酸混合液からなるエッティング液に浸漬してエッティングする。このエッティング処理によって各半導体基板17の裏面および側面がエッティングされる。ダイシングソーによってシリコンウエハ10を分割したとき、隣り合う半導体素子間にはダイシングによる少なくとも20μm程度以上の切り溝が形成されているので、半導体基板15の側面のエッティングは十分に可能である。

【0021】このエッティング処理により、半導体基板15の裏面がエッティングされることにより半導体素子15はさらに薄膜化される。また、半導体基板17の側面も同時にエッティングされるため、ダイシングソーによる分割時に生じた傷もエッティングされる。したがって、傷は縮小または消滅する。この場合、エッティング量は、傷を縮小または消滅させるために、少なくとも半導体基板17の内部に入り込んでいる傷の量（傷の深さ）以上であることが望ましい。また、先の分割工程で、シリコンウエハ10を各IC回路11毎に完全に分割しなかった場合は、少なくともシリコンウエハ10の分割されていない残りの厚さ分以上をエッティングにより完全に分割する必要がある。これによって、シリコンウエハ10が各半導体素子15毎に分割され、半導体基板17とすることができる。

【0022】このエッティング処理工程において、半導体基板17と支持基板13を接着している接着剤12もエッティング液に晒されるので、接着剤12としては半導体素子15への影響を少なくするためにエッティング液によって大きな変質を起こさない材質のものを用いることが望ましい。

【0023】また、エッティングに用いるエッティング液と

しては、等方性エッティング液であることが望ましい。その理由は、等方性エッティング液を用いることにより、鋭角な傷の部分も丸みを帯びた形状となり、応力の集中を緩和することができるからである。逆に、水酸化カリウムのように面方位によってエッティング速度が変わらるような選択性エッティング液を用いると、半導体基板17の側面に新たな凹み等が形成されたり、傷の形状によってはさらに急峻な形状になり、外力が加わったときこの部分に応力が集中するため好ましくない。

【0024】次に、図1(f)に示すように支持基板13から半導体素子15を剥離する。接着剤12として熱発泡性シートを用いているので、ホットプレート上に半導体素子15が接着されている支持基板13を載置して約120°Cに加熱すると、熱発泡性シート12の接着力が低下するため、半導体素子15を支持基板13から容易に剥離することができる。また、低融点ワックスの場合も、同様にホットプレート上に支持基板13を載置して加熱すると、ワックスが溶け出るので、半導体素子15を容易に剥離することができる。

【0025】

【発明の効果】以上説明したように、本発明に係る半導体素子の製造方法によれば、シリコンウエハを各IC回路毎に分割することにより各半導体素子の半導体基板の側面に生じた傷を、その後のエッティング処理工程によって縮小または消滅させることができるので、その後の半導体素子の実装作業中あるいは使用中に破損したりすることが少なく、特にICカード用半導体素子の製造に好適である。

【0026】また、従来の製造方法に較べて処理工程が複雑になることもなく、簡便で歩留および信頼性の高い半導体素子を製造することができる。

【図面の簡単な説明】

【図1】(a)～(f)は本発明に係る半導体素子の製造工程を説明するための図である。

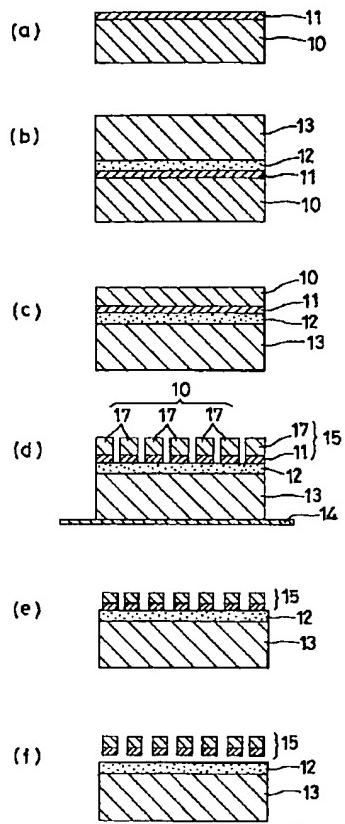
【図2】(a)～(d)は従来の半導体素子の製造工程を説明するための図である。

【図3】(a)～(e)は従来の他の半導体素子の製造工程を説明するための図である。

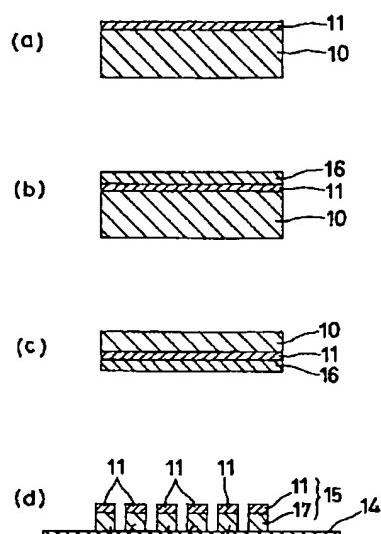
【符号の説明】

10…シリコンウエハ、11…IC回路、12…接着剤、13…支持基板、14…ダイシングテープ、15…半導体素子、16…保護テープ、17…半導体基板。

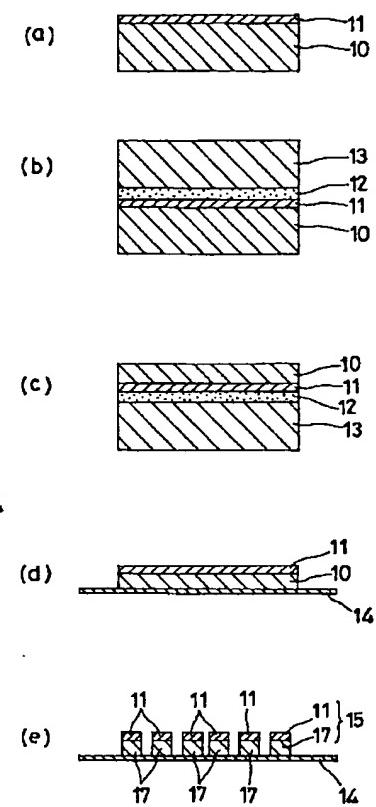
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 大藤 晋一
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

(72)発明者 小川 重男
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内
(72)発明者 前田 正彦
東京都新宿区西新宿三丁目19番2号 日本
電信電話株式会社内

THIS PAGE BLANK (USPTO)